

DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05224347 **Image available**
CLOCK SIGNAL GENERATOR

PUB. NO.: 08-179847 [J P 8179847 A]
PUBLISHED: July 12, 1996 (19960712)
INVENTOR(s): YANAGIUCHI HIROSHI
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 06-323293 [JP 94323293]
FILED: December 26, 1994 (19941226)
INTL CLASS: [6] G06F-001/04; H03K-005/00
JAPIO CLASS: 45.9 (INFORMATION PROCESSING -- Other); 42.4 (ELECTRONICS --
Basic Circuits)

ABSTRACT

PURPOSE: To provide the clock signal generator with which unwanted current consumption can be prevented and the power consumption of a system or an entire chip can be reduced as a result.

CONSTITUTION: This device is provided with a clock generating circuit 1 equipped with plural multipliers 11-1-11-n of variable magnifications for multiplication with any designated magnification based on a single basic clock signal CK and plural frequency dividers 12-1-12-m of variable frequency dividing ratios for frequency division with any designated frequency dividing ratio and a clock selecting circuit 2 for selecting the clock at a required frequency out of the clocks at plural frequencies generated by the clock generating circuit 1 based on a status signal STS from each function block, supplying it to the relevant function block and stopping the multipliers or frequency dividers for generating the non-used frequencies by switching the clock signals.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-179847

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl.⁶

G 0 6 F 1/04
// H 0 3 K 5/00

識別記号 3 0 1 C

F I

技術表示箇所

H 0 3 K 5/00

F

審査請求 未請求 請求項の数6 O L (全 17 頁)

(21)出願番号 特願平6-323293

(22)出願日 平成6年(1994)12月26日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 柳内 弘

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

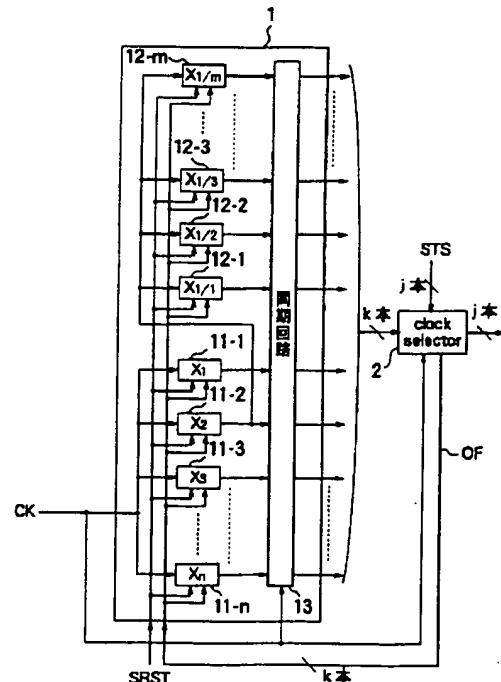
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 クロック信号発生装置

(57)【要約】

【目的】不要な電流消費を防止でき、ひいてはシステムあるいはチップ全体の低消費電力化を図れるクロック信号発生装置を実現する。

【構成】単数の基本クロック信号CKに基づき、指定された倍率をもって通倍する倍率可変な複数の通倍器1 1 - 1 ~ 1 1 - n および指定された分率をもって分周する分周率可変な複数の分周器1 2 - 1 ~ 1 2 - mを備えたクロック生成回路1と、クロック生成回路1において生成された複数の周波数のクロック信号から、各機能ブロックからのステータス信号STSに基づいて必要な周波数のクロック信号を選択して当該機能ブロックに供給し、かつクロック信号の切り替えにより、未使用となつた周波数を生成する通倍器または分周器を停止させるクロック選択回路2とを設ける。



1

【特許請求の範囲】

【請求項1】 システムを構成する少なくとも1つの機能ブロックに対して任意の周波数のクロック信号を生成して供給するクロック信号発生装置であって、
入力される単数の基本クロック信号に基づき、指定された倍率をもって遅倍する倍率可変な少なくとも1つの遅倍器および指定された分率をもって分周する分率可変な少なくとも1つの分周器を備えたクロック生成回路と、上記クロック生成回路において生成された複数の周波数のクロック信号から、各機能ブロックの動作情報に基づき必要な周波数のクロック信号を選択して当該機能ブロックに供給するクロック選択回路とを有するクロック信号発生装置。

【請求項2】 上記遅倍器は、上記基本クロック信号から所定パルス幅の第1のパルス信号を生成する第1のパルス信号生成回路と、

外部からの倍率を指定する自然数に基づいてディレイ値を決定する回路と、

入力されたパルス信号を上記ディレイ値に基づいて遅延させるディレイ回路と、

上記ディレイ回路から出力されたディレイパルス信号を受けて、外部からの倍率を指定する自然数を用いて、互いに相補の関係にある第2および第3のパルス信号を生成し、上記第2のパルス信号を、上記ディレイ回路及び上記出力回路に入力させる第2のパルス信号生成回路と、

上記第1または第2のパルス信号の入力毎に出力レベルを第1のレベルと第2のレベルに切り替えて出力する出力回路と、

上記第1のパルス信号生成回路により生成された第1のパルス信号と上記第3のパルス信号との位相比較を行い、その結果を上記ディレイ回路に帰還させて位相調整を行う回路とを有する請求項1記載のクロック信号発生装置。

【請求項3】 上記分周器は、基本となるクロック信号から所定パルス幅のパルス信号を生成するパルス信号生成回路と、

上記パルス信号生成回路により生成されたパルス信号を受けて、外部からの分率を指定する自然数分だけ遅延させる回路と、

上記遅延させる回路の遅延分に相当するパルス幅のクロック信号を出力する出力回路とを有する請求項1または請求項2記載のクロック信号発生装置。

【請求項4】 クロック信号の切り替えにより、未使用となった周波数を生成する遅倍器または分周器を停止させる回路を有する請求項1、2または3記載のクロック信号発生装置。

【請求項5】 上記クロック選択回路は、複数の機能ブロックから出力された複数のステータス信号をそれぞれラッチする複数のラッチ群と、

2

上記各ラッチ群にラッチされている機能ブロックのステータス情報に基づいて、上記クロック生成回路の各遅倍器および分周器により生成され出力された任意の周波数に設定されている複数のクロック信号から必要な周波数のクロック信号を選択して所望の機能ブロックに出力するセレクタと、

上記ラッチ群におけるステータス信号の入出力情報から各セレクタのクロック信号の選択のタイミング調整、およびクロック生成回路の各遅倍器および分周器のうちの、所定の機能ブロックで必要な使用周波数のクロック信号を生成するものだけ作動状態に保持し、未使用な周波数のクロック信号を生成するものは非作動状態に保持するための作動制御信号を生成して上記クロック生成回路に出力するクロック生成選択回路とを有する請求項1、2または3記載のクロック信号発生装置。

【請求項6】 所定の機能ブロックで未使用となった周波数のクロック信号であって、他の機能ブロックで使用されている周波数のクロック信号があるときに、セレクタからのクロック信号の出力停止を抑止する抑止回路を有する請求項5または請求項6記載のクロック信号発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、基本クロック信号に基づいて必要な複数の周波数のクロック信号を生成して出力するクロック信号発生装置に関するものである。

【0002】

【従来の技術】 近年のLSIにあっては、もともと同じあるいは異なる機能を備えた複数のチップにより構成されていたシステムを1チップ化し、小面積化、さらなる高付加価値化が図られている。この場合、半導体プロセスがめざましく進歩しているとはいえ、その動作の違いから、同一のシステムクロック信号で新たに1チップ化したLSIを動作させることはかなり難しいことである。また、チップ内の機能ブロックにおいて、未使用時におけるクロック信号の切り替えを行うことで低消費電力化が図られているが、低周波のクロック信号の供給が僅かな種類では適切であるとはいはず、システムあるいはチップ内の各ブロックの動作に応じて供給を行う必要がある。

【0003】

【発明が解決しようとする課題】 ところで、実際、従来の複数のクロック信号を生成し、システムに供給する装置は、もともと入力クロック信号が複数であったり、供給できるクロック信号の種類が極く僅かであったりして、チップ内のブロック分けは少数にとどまっており、おおまかに低消費電力化を行っているに過ぎず、この程度の低消費電力化であっては、これららのシステムあるいはチップの低消費電力化にも、自ずと限界が生じる。

【0004】 本発明は、かかる事情に鑑みてなされたも

のであり、その目的は、必要な複数の周波数のクロック信号を供給でき、システム内の各ブロックの動作状況に応じて、そのブロックに供給される周波数を切り替えることで各ブロックの不要な電流消費を防止でき、かつ、使われていない周波数を作り出す倍増器および分周器をその都度停止させることができ、不要な電流消費を防止でき、ひいてはシステムあるいはチップ全体の低消費電力化を図れるクロック信号発生装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明は、システムを構成する少なくとも1つの機能ブロックに対して任意の周波数のクロック信号を生成して供給するクロック信号発生装置であって、入力される単数の基本クロック信号に基づき、指定された倍率をもって倍増する倍率可変な少なくとも1つの倍増器および指定された分率をもって分周する分率可変な少なくとも1つの分周器を備えたクロック生成回路と、上記クロック生成回路において生成された複数の周波数のクロック信号から、各機能ブロックの動作情報に基づき必要な周波数のクロック信号を選択して当該機能ブロックに供給するクロック選択回路とを有する。

【0006】また、本発明のクロック信号発生装置における上記倍増器は、上記基本クロック信号から所定パルス幅の第1のパルス信号を生成する第1のパルス信号生成回路と、外部からの倍率を指定する自然数に基づいてディレイ値を決定する回路と、入力されたパルス信号を上記ディレイ値に基づいて遅延させるディレイ回路と、上記ディレイ回路から出力されたディレイパルス信号を受けて、外部からの倍率を指定する自然数を用いて、互いに相補の関係にある第2および第3のパルス信号を生成し、上記第2のパルス信号を、上記ディレイ回路及び上記出力回路に入力させる第2のパルス信号生成回路と、上記第1または第2のパルス信号の入力毎に出力レベルを第1のレベルと第2のレベルに切り替えて出力する出力回路と、上記第1のパルス信号生成回路により生成された第1のパルス信号と上記第3のパルス信号との位相比較を行い、その結果を上記ディレイ回路に帰還させて位相調整を行う回路とを有する。

【0007】また、本発明のクロック信号発生装置における上記分周器は、基本となるクロック信号から所定パルス幅のパルス信号を生成するパルス信号生成回路と、このパルス信号生成回路により生成されたパルス信号を受けて、外部からの分率を指定する自然数分だけ遅延させる回路と、上記遅延させる回路の遅延分に相当するパルス幅のクロック信号を出力する出力回路とを有する。

【0008】また、本発明のクロック信号発生装置におけるクロック選択回路は、クロック信号の切り替えにより、未使用となった周波数を生成する倍増器または分周器を停止させる回路を有する。

【0009】また、クロック選択回路は、複数の機能ブロックから出力された複数のステータス信号をそれぞれラッチする複数のラッチ群と、上記各ラッチ群にラッチされている機能ブロックのステータス情報に基づいて、上記クロック生成回路の各倍増器および分周器により生成され出力された任意の周波数に設定されている複数のクロック信号から必要な周波数のクロック信号を選択して所望の機能ブロックに出力するセレクタと、上記ラッチ群におけるステータス信号の入出力情報から各セレクタのクロック信号の選択のタイミング調整、およびクロック生成回路の各倍増器および分周器のうちの、所定の機能ブロックで必要な使用周波数のクロック信号を生成するものだけ作動状態に保持し、未使用な周波数のクロック信号を生成するものは非作動状態に保持するための作動制御信号を生成して上記クロック生成回路に出力するクロック生成選択回路とを有する。

【0010】さらに、上記クロック選択回路は、所定の機能ブロックで未使用となった周波数のクロック信号であって、他の機能ブロックで使用されている周波数のクロック信号があるときに、セレクタからのクロック信号の出力停止を抑止する抑止回路を有する。

【0011】

【作用】本発明のクロック信号発生装置によれば、たとえば外部からの基本クロック信号がクロック生成回路の倍増器および分周器に入力される。そして、倍増器においては外部からハードウェアあるいはソフトウェアにより指定された自然数により倍率が設定され、この設定された倍率に基づき倍増した任意の周波数のクロック信号が生成される。同様に、分周器では、外部からハードウェアあるいはソフトウェアにより指定された自然数により分率が設定され、この設定された分率に基づき分周した任意の周波数のクロック信号が生成される。そして、これら倍増器および分周器で生成された複数の周波数のクロック信号はクロック選択回路に出力される。クロック選択回路では、クロック生成回路において生成された複数の周波数のクロック信号から、各機能ブロックの動作情報を示すステータス信号に基づいて必要な周波数のクロック信号が選択されて当該機能ブロックに供給される。また、クロック信号の切り替えにより、未使用となった周波数を生成する倍増器または分周器は、たとえば作動制御信号を受けてその作動が停止される。

【0012】

【実施例】図1は、本発明に係るクロック信号発生装置の一実施例を示すシステム構成図である。このクロック信号発生装置は、図1に示すように、クロック生成回路1およびクロック選択回路2により構成されている。

【0013】クロック生成回路1は、入力される単数の外部基本クロック信号（以下、外部クロック信号という）CKを、それぞれ倍率率（ $\times 1$ ）～（ $\times n$ ）をもつて倍増する倍率可変のn個の倍増器11～11-n

と、2倍する倍器 $11-2$ により生成された外部クロック信号CKに同期したクロック信号をそれぞれ分率($\times 1/1$)~($\times 1/m$)をもって分周する分率可変なm個の分周器 $12-1 \sim 12-m$ と、各倍器 $11-1 \sim 11-n$ および分周器 $12-1 \sim 12-m$ により生成された周波数が異なるk(n+m)個のクロック信号を、入力される外部クロック信号CKに同期させて出する同期回路 13 により構成されている。さらに、各倍器 $11-1 \sim 11-n$ および分周器 $12-1 \sim 12-m$ は、システムリセット信号SRSTによりリセットされ、また、クロック選択回路2から出力される作動制御信号OFにより作動および停止状態が制御される。なお、各分周器 $12-1 \sim 12-m$ は、倍器と同様に、入力される単数の外部クロック信号CKを直接受けて分周するように構成しても勿論良い。

【0014】クロック選択回路2は、クロック生成回路1で生成された複数のクロック信号を受けて、図示しないシステムの各機能ブロックから送出されたステータス信号STSに基づき、各機能ブロックの動作状況に応じて周波数を切り替えて異なるクロック信号を供給する。また、クロック選択回路2は、クロック信号の切り替えにより、使われなくなった周波数を生成するクロック生成回路1における倍器 $11-1 \sim 11-n$ または分周器 $12-1 \sim 12-m$ をその都度停止させるための作動制御信号OFを生成し、クロック生成回路1に出力する。

【0015】以下に、クロック生成回路1の倍器1、分周器12、並びにクロック選択回路2の具体的な構成例およびその動作について、図2~図11を参照しつつ順を追って説明する。

【0016】図2は倍器1の構成例を示すブロック図で、図3は図2において3倍器を構成した場合の各部の入出力波形を示すタイミングチャートである。この倍器11は、図2に示すように、外部クロック信号CKを微分する微分回路を構成する2入力アンドゲート101およびインバータ102、一方の入力端に2入力アンドゲート101の出力微分信号S101(第1のパルス信号)が入力される2入力オアゲート103、2入力オアゲート103の出力パルス信号S103を受けて入力された外部クロック信号CKをn倍したクロック信号S104を出力するt型フリップフロップ104、2入力オアゲート103の出力パルス信号S103を受けて位相比較信号S107およびディレイ値N1に基づく遅延量をもって遅延させ信号S105として出力するディレイコントローラ105、微分信号S101、ディレイコントローラ105によるディレイパルス信号S109およびハードウェアあるいはソフトウェアにより外部から指定される2進数n(=1, 2, ..., n)を受けて、ディレイパルス信号S105に同期した連続する(2×n-1)個の第2のパルス信号S106aを2入

力オアゲート103の他方の入力端に出力し、 $2 \times n$ に達した時点で1パルスの第3のパルス信号S106bを出力するパルスセレクタ106、微分信号S101とパルスセレクタ106の出力パルス信号S106bとの位相比較を行い位相比較信号S107をディレイコントローラ105に出力する位相比較器107、微分信号S101に基づき周波数をカウントしカウント値NOを出力する周波数カウンタ108、並びに周波数カウンタ108によるカウント値NOおよび外部から指定される2進数n(=1, 2, ..., n)を受けて($N0 \div 2 \div n$)なる式に基づきディレイ値N1を得、ディレイコントローラ105に出力する除算器109により構成されている。

【0017】また、図4は図2におけるパルスセレクタ106の具体的な構成例を示す回路図である。図4に示すように、このパルスセレクタ106は、外部から指定される2進数nを受けて($2 \times n - 1$)なる式に基づきパラメータN2を得る演算器110、演算器110の出力および微分信号S101に基づいてディレイパルス信号S105のパルス数をカウントするパルスカウンタ111、セット入力Sにリセット信号RSTが入力し、リセット入力Rにディレイパルス信号S105が入力するフリップフロップ112、パルスカウンタ111の出力信号S111およびフリップフロップ112のQ出力信号S112との論理和をとる2入力オアゲート113、オアゲート113の出力信号S113のレベルを反転させるインバータ114、ディレイパルス信号S105およびインバータ114の出力の論理積をとり第2のパルス信号S106aとして図2に示す2入力オアゲート103に出力する2入力オアゲート115、並びにディレイパルス信号S105およびオアゲート113の出力信号S113の論理積をとり第3のパルス信号S106bとして図2の位相比較器107に出力する2入力アンドゲート116により構成されている。

【0018】なお、パルスセレクタ111は、ハイレベルでアクティブなリセット信号RSTの入力によりリセットされる。このリセット信号RSTは、図5に示すように、システムリセット信号SRSTおよびクロック選択回路2からの作動制御信号OFを2入力オアゲートG1により論理和をとることにより生成される。

【0019】さらに、図6は、図5におけるパルスカウンタ111の具体的な構成例を示す回路図であり、図7は図4および図6における要部の入出力波形を示すタイミングチャートである。

【0020】図6に示すように、パルスカウンタ111は、カスケード接続されたカウンタ116~121、カウンタ116の出力と演算器110の出力in0との排他的論理和をとる排他的論理和ゲート122、カウンタ117の出力と演算器110の出力in1との排他的論理和をとる排他的論理和ゲート123、カウンタ118

の出力と演算器110の出力in2との排他的論理和をとる排他的論理和ゲート124、カウンタ119の出力と演算器110の出力in3との排他的論理和をとる排他的論理和ゲート125、カウンタ120の出力と演算器110の出力in4との排他的論理和をとる排他的論理和ゲート126、カウンタ121の出力と演算器110の出力in5との排他的論理和をとる排他的論理和ゲート127、6個の排他的論理和ゲート122～127の否定的論理和をとる6入力ノアゲート128、ノアゲート128の出力およびリセット信号RSTの論理和をとりカウンタ116～121のセット端子(set)に入力させる2入力オアゲート129、セット入力端子Sに6入力ノアゲート128の出力信号が入力するフリップフロップ130、ディレイパルス信号S105およびフリップフロップ130のQ出力からの信号S111との論理積をとる2入力アンドゲート131、アンドゲート131の出力信号を入力端ckに受けてパルス信号S132を出力するカウンタ132、バッファ133を介したカウンタ132の出力信号S132およびリセット信号RSTの論理和をとりカウンタ132のセット端子(set)に入力させる2入力オアゲート134、フリップフロップ130のQ出力(信号S111)のレベルを反転させるインバータ135、微分信号S101がセット入力端子Sに入力するフリップフロップ136、インバータ135の出力信号およびフリップフロップ130のQ出力(信号S107)の論理積をとりフリップフロップ136のリセット入力端子Rに入力させる2入力アンドゲート137、並びにフリップフロップ136のQ出力信号とインバータ135の出力信号とディレイパルス信号S105との論理積をとり信号S138としてカウンタ116の入力端ckに入力させる3入力アンドゲート138により構成されている。

【0021】なお、図6に示すカウンタ116および132は、図8の(A)に示すように、2入力ノアゲート139、140およびラッチ141により構成されている。ノアゲート139の一方の入力端はセット端子setに接続され、他方の入力端がラッチ141の出力qに接続され、出力がノアゲート140の一方の入力端およびラッチ141の入力dに接続されている。そして、ck入力端がラッチ141の入力ckに接続され、入力setがセット端子setに接続されている。このような構成において、ラッチ141は、セット端子setにハイレベルの信号が入力されるとハイレベル「H」にセットされ、出力端outはローレベルにセットされる。

【0022】また、図6に示すカウンタ117～121は、図8の(B)に示すように、同図(A)に示す構成に加えて、ck入力端とラッチ141の入力ckとの間に、セット入力Sにck入力端が接続され、リセット入力Rにセット端子setが接続されたフリップフロップ142、入力がck入力端に接続されたインバータ1450

3、並びにフリップフロップ142のQ出力およびインバータ143の出力の論理積をとりラッチの入力ckに入力させる2入力アンドゲート144により構成されている。この場合も、ラッチ141は、セット端子setにハイレベルの信号が入力されるとハイレベル「H」にセットされ、出力端outはローレベルにセットされる。

【0023】次に、上記構成を有する倍器11の動作を、図面を参照しつつ説明する。外部から供給された外部クロック信号CKがクロック生成回路1に供給され、各倍器11-1～11-nに供給される。また、各倍器11-1～11-nには、その倍率をあらかじめ決定するために、それを指定するための2進数が、ハードウェアあるいはソフトウェアによりパルスセレクタ106および除算器109に供給されている。

【0024】倍器11-1～11-nに入力された外部クロック信号CKは、アンドゲート101およびインバータ102からなる微分回路により微分され、この第1のパルス信号としての微分信号S101がオアゲート103を介してフリップフロップ104、ディレイコントローラ105、位相比較器107および周波数カウンタ108に入力される。フリップフロップ104からはパルス信号S103を受けてハイレベルの信号S104が出力される。また、周波数カウンタ108では周波数がカウントされカウント値N0が除算器109が出力される。除算器109では、所定の式に基づいてディレイ値N1が求められ、このディレイ値N1はディレイコントローラ105に出力される。

【0025】ディレイコントローラ105では、ディレイ値N1に基づいてオアゲート103から出力されるパルス信号S103が遅延されてディレイパルス信号S105としてパルスセレクタ106に出力される。パルスセレクタ106では、図4に示すように、与えられた2進数nに基づいてパラメータN2が演算器110で求められ、パルスカウンタ111に供給される。パルスカウンタ111においては、微分信号S101によりカウント動作が開始され、たとえば図3および図7に示すように、5つの(2n-1)をカウントし終わるまでは信号S111がローレベルで出力される。その結果、図4に示すアンドゲート115からディレイパルス信号S105に同期した第2のパルス信号S106aが順次生成されオアゲート103に出力される。その結果、図2に示すフリップフロップ104から、図3に示すような、n倍(図3では3倍)されたクロック信号が生成され同期回路13を介してクロック選択回路2に出力される。これと同時に、ディレイコントローラ105では、ディレイ値N1に基づいてオアゲート103から順次出力されるパルス信号S103を遅延させたディレイパルス信号S105がパルスセレクタ106に出力される。

【0026】そして、パルスカウンタ111において、

ディレイコントローラ105の出力パルス信号S105を5つ入力したならば、信号S111がハイレベルに切り替えられて出力される。その結果、図4において、アンドゲート115からの第2のパルス信号S106aの出力が停止され、アンドゲート116から1つの第3のパルス信号S106bが生成されて位相比較器107に出力される。そして、位相比較器107では、パルス信号S106bと次に入力される微分信号S101との位相比較が行われ、その結果が信号S107としてディレイコントローラ105に出力される。その結果、2つの目の外部クロック信号CKが入力された時に微分信号S101とパルスセレクタ106によるパルス信号S106bとの位相調整が行われることとなり、位相調整されたクロック信号S104が生成されることとなる。

【0027】なお、パルスカウンタ111では、信号S111をハイレベルで出力したとき、初期状態に戻り、次の微分信号S101を受けて上述した同様のカウント動作が行われる。図6の構成においては、すべての排他的論理とゲート122～127の2つの入力が同一レベルとなって、その出力がすべてローレベルとなったときに6入力オアゲート128の出力がハイレベルとなりフリップフロップ130がセット状態となり信号S111がハイレベルに切り替わる。そして、所定時間後にフリップフロップ130がリセットされる。

【0028】以上のように、各倍増器11-1～11-nは外部から与えられる2進数に応じて任意に倍率を変更できる。したがって、出荷後にも回路変更を伴うことなく、容易にその倍率を変更できる。なお、以上と同様の動作が各倍増器11-1～11-nで行われて、所望の周波数の複数のクロック信号が同期回路13を介してクロック選択回路2に出力される。また、2倍増器11-2にて生成された×2のクロック信号は分周器12-1～12-mに対して基本クロック信号として与えられる。

【0029】次に、クロック生成回路1における分周器12の構成例およびその動作について、図9および図10を参照しつつ説明する。分周器12は、図9に示すように、入力される外部クロック信号CKを倍増器11-2で2倍増し、外部クロック信号CKに同期したクロック信号2CKを微分する微分回路を構成する2入力アンドゲート145およびインバータ146、アンドゲート145から出力された微分信号S145をハードウェアあるいはソフトウェアにより外部から指定された2進数m (=1, 2, ..., m) 分カウントした後、信号S147を出力するクロックカウンタ147と、クロックカウンタ147の出力信号S147を受けてm分周したクロック信号CK (1/m) を出力するt型フリップフロップ148により構成されている。

【0030】また、図10は図9におけるクロックカウンタ147の構成例を示す回路図である。図10に示す

10 ように、クロックカウンタ147は、カスケード接続されたカウンタ149～154、カウンタ149の出力と2進数入力in0との排他的論理和をとる排他的論理とゲート155、カウンタ150の出力と2進数入力in1との排他的論理和をとる排他的論理とゲート156、カウンタ151の出力と2進数入力in2との排他的論理和をとる排他的論理とゲート157、カウンタ152の出力と2進数入力in3との排他的論理和をとる排他的論理とゲート158、カウンタ153の出力と2進数入力in4との排他的論理和をとる排他的論理とゲート159、カウンタ154の出力と2進数入力in5との排他的論理和をとる排他的論理とゲート160、6個の排他的論理とゲート155～160の否定的論理和をとる6入力ノアゲート161、ノアゲート161の出力およびリセット信号RSTの論理和をとりカウンタ149～154のセット端子(set)に入力させる2入力オアゲート162、6入力オアゲート161の出力信号が一方の入力端に入力される2入力オアゲート163、セット入力端子Sに2入力ノアゲート163の出力信号が
20 入力し、Q出力から信号S147を出力し、かつQ出力がバッファ165を介してリセット入力端子Rに接続されたフリップフロップ164、セット入力端子Sに微分信号S145が入力しリセット入力端子Rにリセット信号RSTが入力するフリップフロップ166、フリップフロップ166のQ出力信号のレベルを反転するインバータ167、フリップフロップ166のQ出力信号およびインバータ167の出力信号の論理積をとり2入力オアゲート163の他方の入力端に出力する2入力オアゲート168、バッファ169、170を介したフリップフロップ166のQ出力信号および微分信号S145の論理積をとり、信号S171としてカウンタ149の入力端ckに入力させる2入力アンドゲート171により構成されている。
30 【0031】なお、図10に示すカウンタ149は、図8の(A)に示す構成と同様の構成を有し、カウンタ150～154は図8の(B)に示す構成と同様の構成を有している。
【0032】次に、上記構成を有する分周器12の動作について説明する。入力される外部クロック信号CKを倍増器11-2で2倍増し、外部クロック信号CKに同期したクロック信号×2CKが供給され、この2倍増されたクロック信号が2入力アンドゲート145およびインバータ146からなる微分回路により微分され、この微分信号S145はクロックカウンタ147に入力される。クロックカウンタ147では、微分信号S145の入力がされた時点でパルス信号S147がフリップフロップ148に出力された後、ハードウェアあるいはソフトウェアにより外部から指定された2進数m (=1, 2, ..., m) 分カウントした後、信号S147が出力される。これにより、フリップフロップ148からm分周

11

したクロック信号CK(1/m)が出力される。図10の構成においては、すべての排他的論理和ゲート155～160の2つの入力が同一レベルとなって、その出力がすべてローレベルとなったときに6入力オアゲート161の出力がハイレベルとなりフリップフロップ164がセット状態となり信号S147がハイレベルに切り替わる。そして、バッファ165によるディレイ時間後にフリップフロップ164がリセットされる。

【0033】以上のように、各分周器12-1～12-mは外部から与えられる2進数に応じて任意に分率を変更できる。したがって、出荷後にも回路変更を伴うことなく、容易にその分率を変更できる。なお、以上と同様の動作が各分周器12-1～12-mで行われて、所望の周波数の複数のクロック信号が同期回路13を介してクロック選択回路2に出力される。

【0034】次に、クロック選択回路2の構成例およびその動作について、図11を参照しつつ説明する。

【0035】クロック選択回路2は、図11に示すように、システムの図示しないj個の機能ブロックから出力されたkビットのステータス信号STS-1, ..., STS-g, STS-jをそれぞれラッチするj個のラッチ群21-1～21-j、並びにラッチ群21-1～21-jにラッチされているブロックのステータス情報に基づいて、クロック生成回路1の各倍増器11-1～11-nおよび分周器12-1～12-mにより生成され出力された任意の周波数に設定されているk本のクロック信号S1から必要な周波数のクロック信号を選択して所望の機能ブロックに出力するセレクタ22-1～2-jを有している。

【0036】そして、クロック選択回路2は、さらに各ラッチ群21-1～21-jにおけるステータス信号STS-1, ..., STS-g, STS-jの入出力情報から各セレクタ22-1～22-jのクロック信号S1の選択のタイミング調整、およびクロック生成回路1の各倍増器11-1～11-nおよび分周器12-1～12-mのうちの、所定の機能ブロックで必要な使用周波数のクロック信号を生成するものだけ作動状態(オン状態)に保持し、未使用な周波数のクロック信号を生成するものは非作動状態(オフ状態)に保持するための作動制御信号OFの生成を行うクロック生成選択回路23を有している。なお、図11においては、図面の簡略化のためラッチ群21-gのk個のラッチうちのi(i < k)番目のラッチに接続されたステータス信号の供給線に対応して設けられているクロック生成選択回路23のみを示している。

【0037】クロック生成選択回路23は、図11に示すように、各ラッチ群22-1～21-jのi番目のラッチの入力側のステータス信号供給線、すなわち現ステータス情報の供給線がそれぞれ接続されたj入力オアゲート201、各ラッチ群22-1～21-jのi番目の

12

ラッチの出力側のステータス信号供給線、すなわち前ステータス情報の供給線がそれぞれ接続されたj入力オアゲート202、オアゲート201の出力信号レベルを反転させるインバータ203、オアゲート202の出力信号レベルを反転させるインバータ204、オアゲート201の出力信号およびインバータ204の出力信号の論理積をとり連倍器および分周器のオン・オフ状態およびセレクタ22-1～22-jからの使用周波数のクロック信号の出力を制御するための信号S205を生成する

10 2入力アンドゲート205、オアゲート202の出力信号およびインバータ203の出力信号の論理積をとりセレクタ22-1～22-jからの未使用的クロック信号の出力停止を制御するための信号S206を生成する2入力アンドゲート206、アンドゲート205の出力信号S205およびオアゲート202の出力信号の否定的論理和をとり作動制御信号OFを生成しクロック生成回路1に出力する2入力ノアゲート207、アンドゲート205の出力信号S205を所定時間、具体的には未使用状態にあった連倍器または分周器が作動状態になってから周波数が安定したクロック信号を出力するまでに要する時間だけ遅延させるディレイ回路208、ディレイ回路208の論理和をとるk入力オアゲート209、アンドゲート205の出力信号S205の論理和をとるk入力オアゲート210、アンドゲート206の出力信号S206の論理和をとるk入力オアゲート211、オアゲート210および211の出力信号の否定的論理積をとる2入力 NANDゲート212、オアゲート211の出力信号および NANDゲート212の出力信号の論理積をとる2入力アンドゲート213、オアゲート209の出力信号およびアンドゲート213の出力信号の論理和をとる2入力オアゲート214、並びにオアゲート214の出力信号をラッチして所定のタイミングで各ラッチ群21-1～21-jのステータス信号のラッチおよび出力タイミングを制御するための信号S215を出力するラッチ215により構成されている。

【0038】なお、クロック生成選択回路23において、オアゲート210, 211、 NANDゲート212およびアンドゲート213により、アンドゲート205により生成される連倍器および分周器のオン・オフ状態およびセレクタ22-1～22-jからの使用周波数のクロック信号の出力を制御するための信号S205、並びにアンドゲート206により生成されるオアゲート202の出力信号およびインバータ203の出力信号の論理積をとりセレクタ22-1～22-jからの未使用的クロック信号の出力停止を制御するための信号S206が同時にアクティブのハイレベルになり、たとえば他の機能ブロックでその周波数のクロック信号を使用しているときに、セレクタ22-1～22-jからのクロック信号の出力停止を抑止する抑止回路が構成され、安定な動作を図っている。

13

【0039】次に、上記構成を有するクロック選択回路2の動作を説明する。たとえば、g番目の機能ブロックが非作動状態（オフ状態）から作動状態（オン状態）に切り替えられ、クロック生成回路1の通倍器11または分周器12により入力された外部クロック信号CKをn倍またはm倍されたi番目の生成クロック信号S1iを必要とする旨の現ステータス信号STS-gがハイレベルでラッチ群21-gの入力側に供給され、かつクロック生成選択回路23のオアゲート201に入力される。このとき、ラッチ21-giにラッチされている前ステータス情報はg番目の機能ブロックが非作動状態（オフ状態）で未使用であることからその出力はローレベルに保持されており、この出力信号はオアゲート202に入力されている。したがって、オアゲート201の出力信号はハイレベルとなり、オアゲート202の出力信号はローレベルに保持される。その結果、アンドゲート205の出力信号S205はハイレベルに切り替わり、アンドゲート206の出力信号S206はローレベルに保持される。

【0040】アンドゲート205の出力信号S205がハイレベルに切り替わったことから、オアゲート207の出力である作動制御信号OFはハイレベルからローレベルに切り替わり、クロック生成回路1の所定の通倍器11または分周器12に出力される。このローレベルの作動制御信号OFを受けた通倍器11または分周器12は作動状態となり、ここで外部クロック信号CKに基づき所望の周波数のクロック信号が生成され、同期回路13を介してセレクタ22-1～22-jに入力される。これと並行して、アンドゲート205の出力信号S205がディレイ回路208で、安定な周波数のクロック信号が生成されるまでの時間だけの遅延作用を受けてオアゲート209に出力される。したがって、オアゲート214の出力がハイレベルとなりラッチ215に出力され、ラッチ215から所定のタイミングで信号S215がラッチ群21-1～21-jに出力される。その結果、ラッチ群21-gのラッチ21-giにハイレベルの現情報がラッチされ、すでに安定した周波数のi番目のクロック信号が選択され、機能ブロックに安定に供給される。そして、このとき、ラッチ21-giの出力がハイレベルに切り替わることに伴い、オアゲート202の出力信号がハイレベルとなり、アンドゲート205の出力信号S205はローレベルに切り替わる。しかし、オアゲート202の出力信号がハイレベルであることから、作動制御信号OFはローレベルに保持され、通倍器11または分周器12は作動状態に安定に保持される。以降、ラッチ21-giのステータス情報がローレベルに切り替わるまで、g番目の機能ブロックに対するi番目のクロック信号の出力状態が継続される。

【0041】次に、作動状態にあるg番目の機能ブロックに対するi番目のクロック信号の供給を停止する場合

14

には、外部クロック信号CKをn倍またはm倍されたi番目の生成クロック信号S1iが不必要となった旨の現ステータス信号STS-gがローレベルでラッチ群21-gの入力側に供給され、かつクロック生成選択回路23のオアゲート201に入力される。このとき、ラッチ21-giにラッチされている前ステータス情報はg番目の機能ブロックが作動状態（オン状態）で使用中であることからその出力はハイレベルに保持されており、この出力信号はオアゲート202に入力されている。したがって、オアゲート201の出力信号はローレベルとなり、オアゲート202の出力信号はハイレベルとなる。その結果、アンドゲート205の出力信号S205はローレベルに保持され、アンドゲート206の出力信号S206はローレベルからハイレベルに切り替わる。

【0042】アンドゲート206の出力信号S206がハイレベルに切り替わったことから、オアゲート211の出力はハイレベルで、オアゲート210の出力はローレベルであることから、 NANDゲート212の出力信号が

20 ハイレベルとなり、その結果アンドゲート213の出力信号がハイレベルとなる。したがって、オアゲート214の出力がハイレベルとなりラッチ215に出力され、ラッチ215から所定のタイミングで信号S215がラッチ群21-1～21-jに出力される。その結果、ラッチ群21-gのラッチ21-giにローレベルの現情報がラッチされ、すでに安定した周波数のi番目のクロック信号の選択が停止され、機能ブロックへの供給が停止される。そして、ラッチ群21-gのラッチ21-giの出力信号がローレベルになったことから、作動制御信号OFはローレベルからハイレベルに切り替わり、クロック生成回路1の所定の通倍器11または分周器12に出力される。このハイレベルの作動制御信号OFを受けた通倍器11または分周器12は非作動状態となり、外部クロック信号CKに基づく所望の周波数のクロック信号の生成が停止される。このように、作動状態から非作動状態への切り替え時は、クロック信号の出力停止が遅延時間を持たせることなく行われ、かつ通倍器11または分周器12のは非作動状態への切り替えは機能ブロックへのクロック信号の供給を停止した後に行われる。

40 【0043】また、この作動状態にあるg番目の機能ブロックに対するi番目のクロック信号の供給を停止する場合に、他の機能ブロックでi番目のクロック信号の供給を使用している場合には、他のディレイ回路208系の信号ラインがアクティブ状態に保持され、かつ、オアゲート210、211、 NANDゲート212およびアンドゲート213により構成される抑止回路が機能し、セレクタ22-1～22-jからのクロック信号の出力停止が抑止される。

【0044】以上と同様の動作は、同時に複数の機能ブロックの切り替えが生じた場合も同様に行われる。

15

【0045】以上説明したように、本実施例によれば、入力される単数の外部基本クロック信号CKを、それぞれ異なる倍率($\times 1$)～($\times n$)をもって倍増する倍率可変なn個の倍増器 $11-1 \sim 11-n$ と、2倍増する倍増器 $11-2$ により生成された外部クロック信号CKの同期したクロック信号を異なる分率($\times 1/1$)～($\times 1/m$)をもって分周する分率可変なm個の分周器 $12-1 \sim 12-m$ と、各倍増器 $11-1 \sim 11-n$ および分周器 $12-1 \sim 12-m$ により生成された周波数が異なるk($n+m$)個のクロック信号を入力される基本クロック信号CKに同期させて出力する同期回路13により構成されたロック生成回路1、およびクロック生成回路1で生成された複数のクロック信号を受けて、図示しないシステムの各機能ブロックに対し、必要な複数の周波数のクロック信号を各機能ブロックから送出されたステータス信号STSに基づき、選択的に各機能ブロックの動作状況に応じて周波数を切り替えて供給し、クロック信号の切り替えにより、使われなくなった周波数を生成するクロック生成回路1における倍増器 $11-1 \sim 11-n$ または分周器 $12-1 \sim 12-m$ をその都度停止させるための作動制御信号OFを生成し、クロック生成回路1に出力するクロック選択回路2を設けたので、必要な複数の周波数のクロック信号を供給でき、システム内の各ブロックの動作状況に応じて、そのブロックに供給される周波数を切り替えることで各ブロックの不要な電流消費を防止できる。また、使われていない周波数を作り出す倍増器および分周器をその都度停止させることができ、不要な電流消費を防止でき、ひいてはシステムあるいはチップ全体の低消費電力化を図れる利点がある。

【0046】

【発明の効果】以上説明したように、本発明のクロック信号発生装置によれば、必要な複数の周波数のクロック信号を供給でき、システム内の各ブロックの動作状況に応じて、そのブロックに供給される周波数を切り替えることで各ブロックの不要な電流消費を防止できる。ま

(9)
16

た、未使用の周波数を作り出す倍増器および分周器をその都度停止させることができ、不要な電流消費を防止でき、ひいてはチップ全体の低消費電力化を図れる利点がある。

【図面の簡単な説明】

【図1】本発明に係るクロック信号発生装置の一実施例を示すシステム構成図である。

【図2】本発明に係る倍増器の構成例を示すブロック図である。

10 【図3】図2において3倍増器を構成した場合の各部の入出力波形を示すタイミングチャートである。

【図4】図2におけるパルスセレクタ106の構成例を示す回路図である。

【図5】本発明に係るリセット信号生成回路例を示す図である。

【図6】図5におけるパルスカウンタ111の具体的な構成例を示す回路図である。

【図7】図4および図6における要部の入出力波形を示すタイミングチャートである。

20 【図8】図6におけるカウンタの具体的な構成例を示す回路図である。

【図9】本発明に係る分周器の構成例を示すブロック図である。

【図10】図9におけるクロックカウンタの構成例を示す回路図である。

【図11】本発明に係るクロック選択回路の構成例を示す回路図である。

【符号の説明】

1…クロック生成回路

30 11-1～11-n…倍増器

12-1～12-m…分周器

13…同期回路

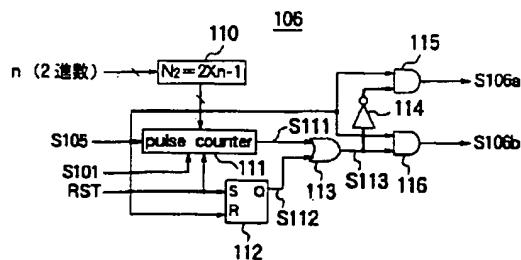
2…クロック選択回路

21-1～21-j…ラッチ群

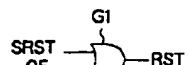
22-1～22-j…セレクタ

23…クロック生成選択回路

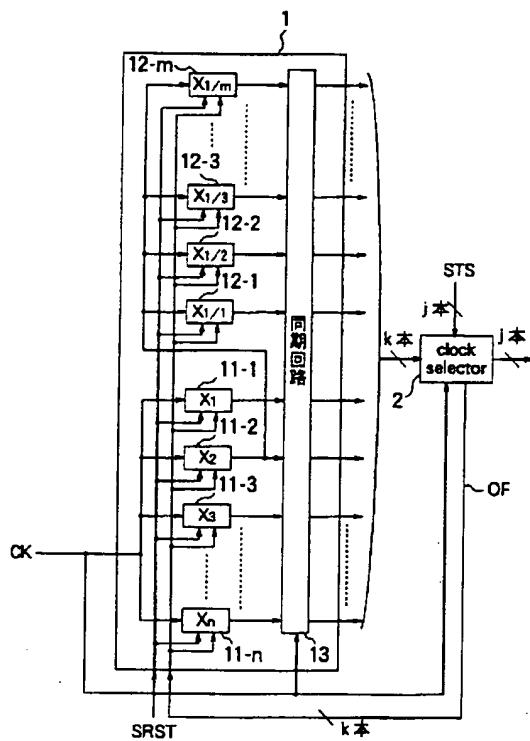
【図4】



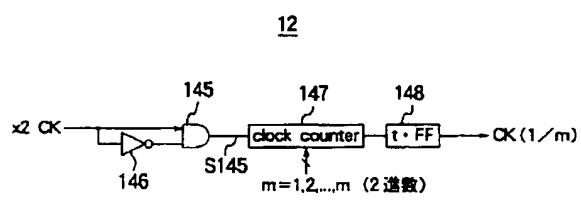
【図5】



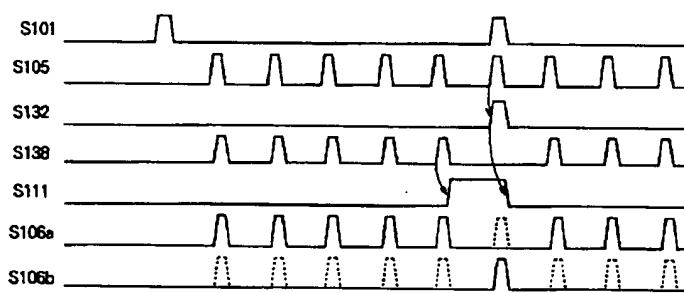
【図1】



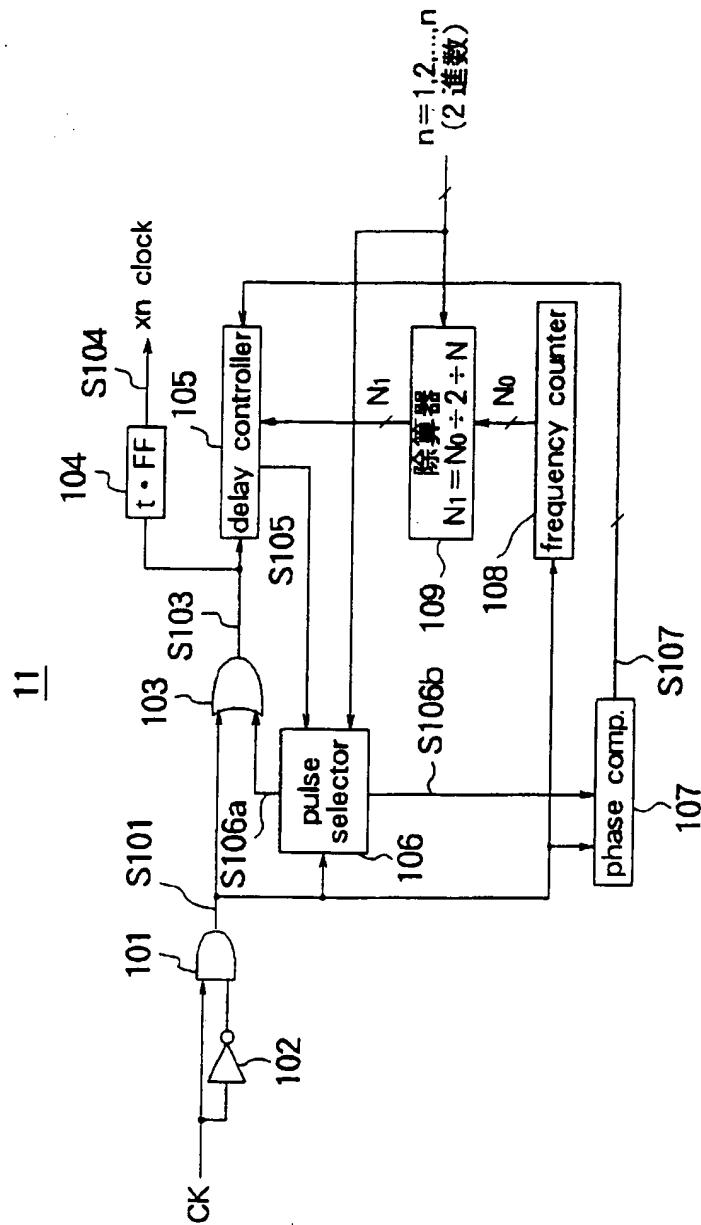
【図9】



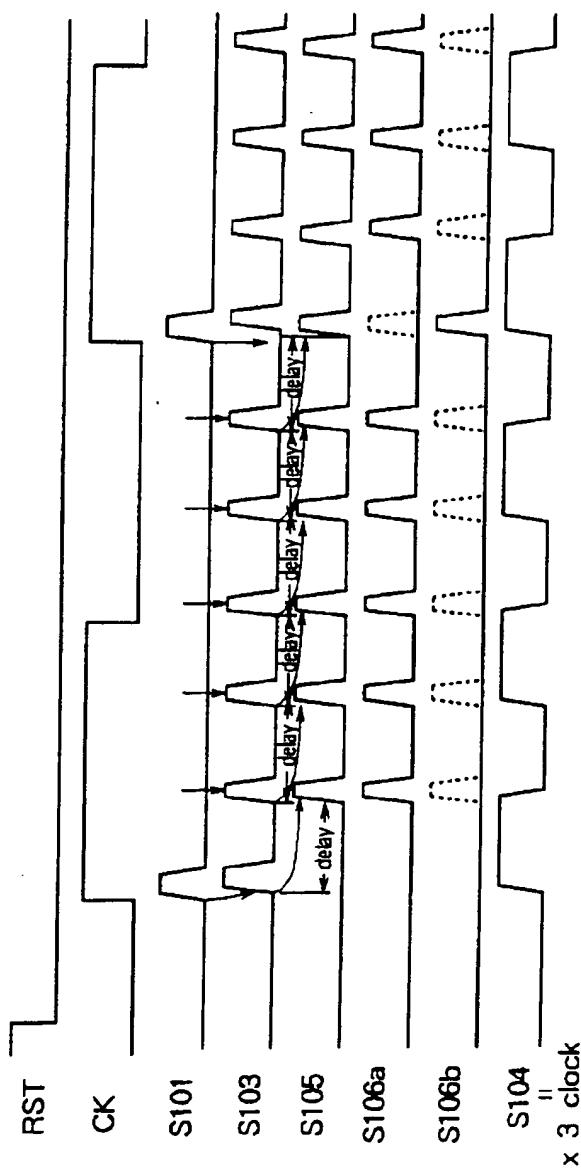
【図7】



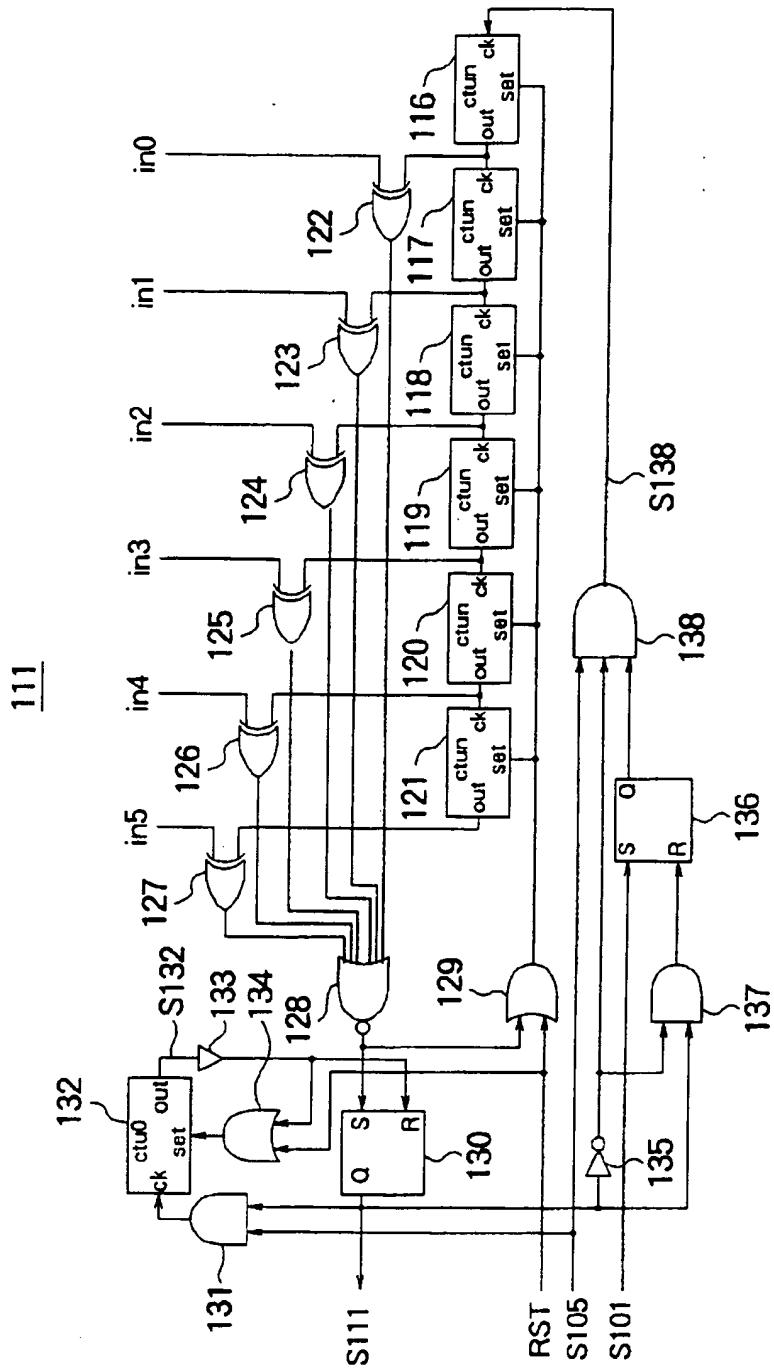
【図2】



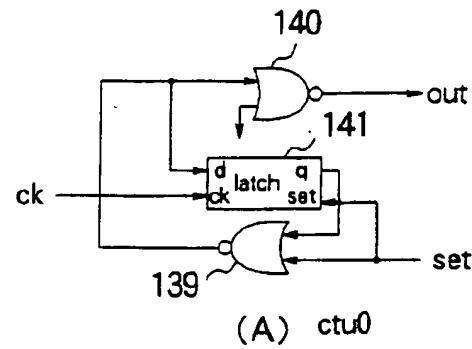
【図3】



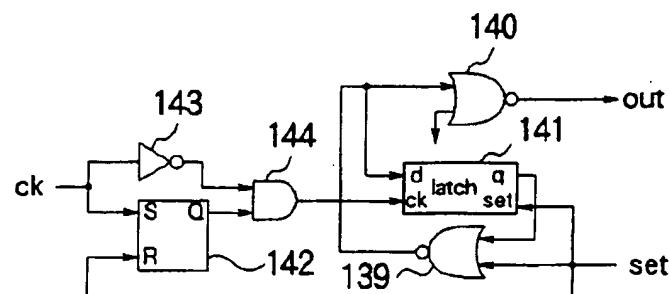
【図6】



【図8】

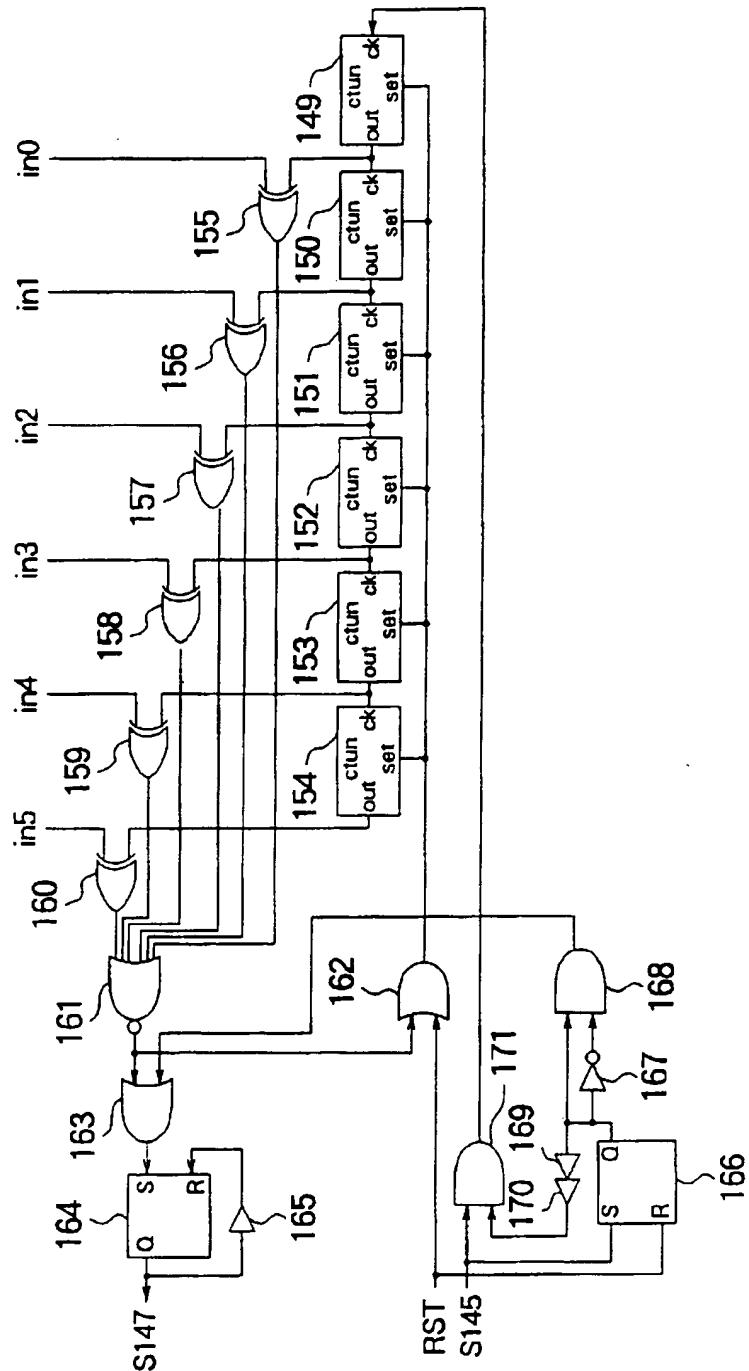


(A) ctu0

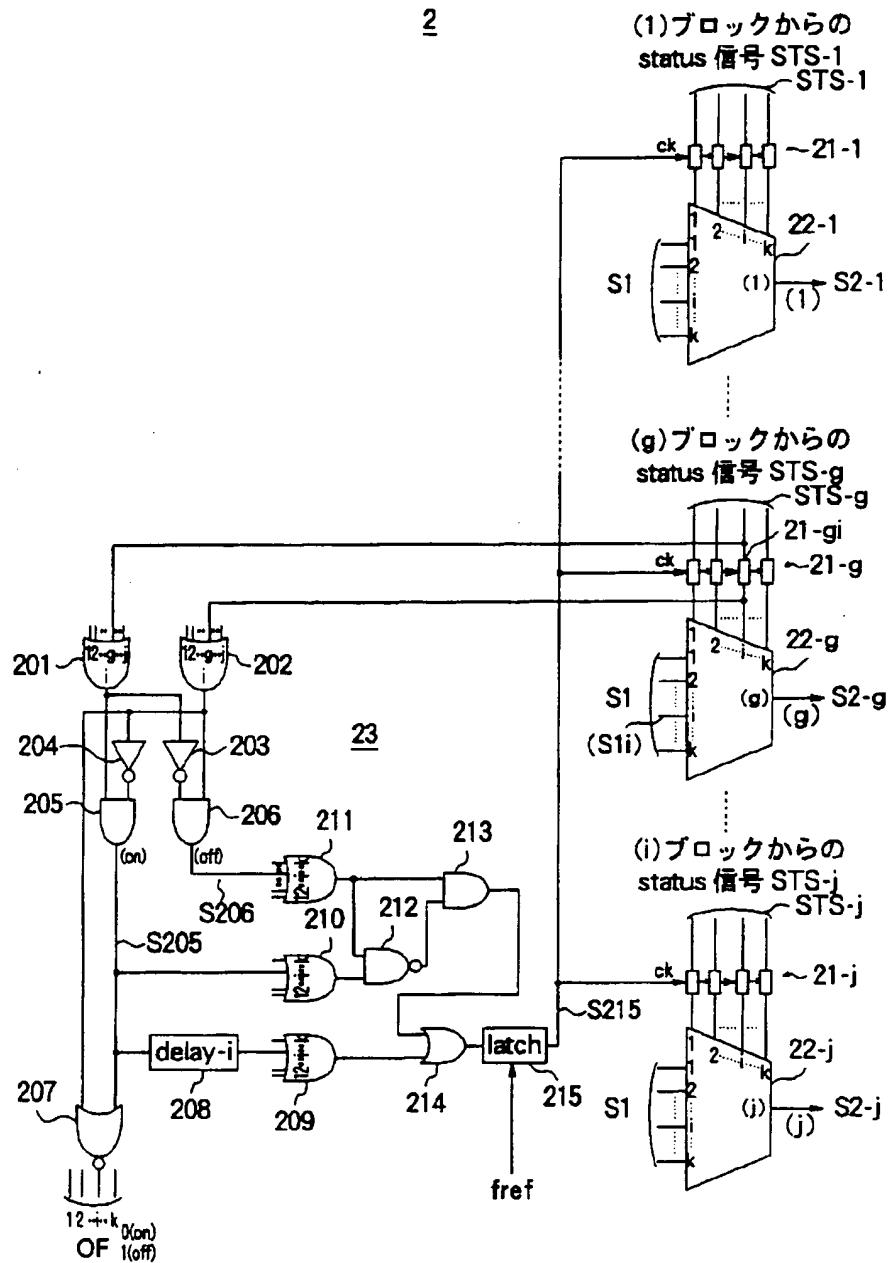


(B) ctun

【図10】

147

【図11】



【手続補正書】

【提出日】平成8年1月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0021

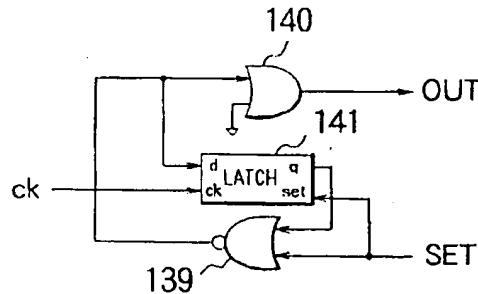
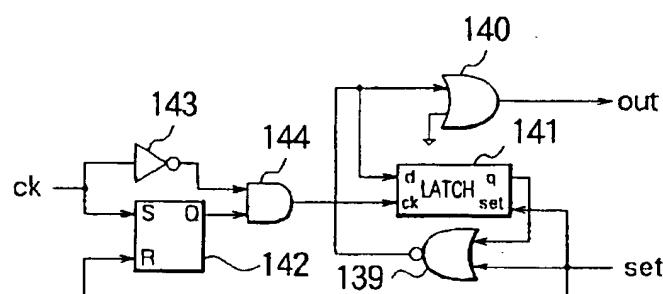
【補正方法】変更

【補正内容】

【0021】なお、図6に示すカウンタ116および132は、図8の(A)に示すように、2入力ノアゲート139、2入力オアゲート140およびラッチ141により構成されている。ノアゲート139の一方の入力端はセット端子setに接続され、他方の入力端がラッチ141の出力qに接続され、出力がオアゲート140の

一方の入力端およびラッチ141の入力dに接続されている。そして、ck入力端がラッチ141の入力ckに接続され、入力setがセット端子setに接続されている。このような構成において、ラッチ141は、セット端子setにハイレベルの信号が入力されるとハイレベル「H」にセットされ、出力端outはローレベルにセットされる。

【手続補正2】
 【補正対象書類名】図面
 【補正対象項目名】図8
 【補正方法】変更
 【補正内容】
 【図8】

(A) ctu0(B) ctun